

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-029856

(43)Date of publication of application : 05.02.1993

(51)Int.Cl.

H03G 3/10

(21)Application number : 03-203999

(71)Applicant : SHARP CORP

(22)Date of filing : 17.07.1991

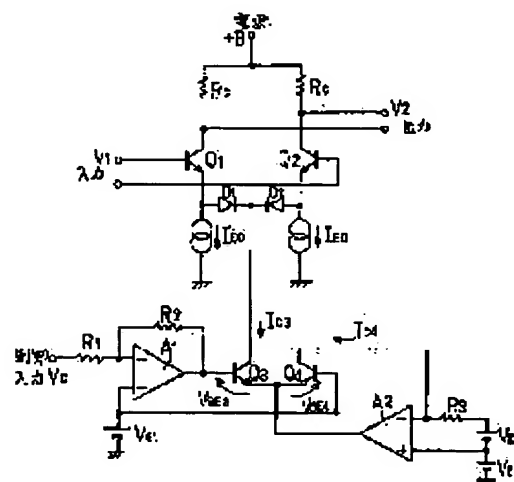
(72)Inventor : NOBORI MITSUHIRO

(54) VARIABLE GAIN AMPLIFIER

(57)Abstract:

PURPOSE: To improve the linearity of gain as against a control input by connecting variable resisting means consisting of PIN diodes between the both emitter terminals of two transistors in a differential amplifier and controlling the current in proportion to the index of a control input.

CONSTITUTION: The transistors Q1 and Q2 compressing the differential amplifier are respectively provided with differential input voltages V1 in base terminals and output the differential voltages V2 from between a power source B and a collector terminal. The cathode terminals of the PIN diodes D1 and D2 as the variable resisting means are respectively connected to the emitter terminals of the corresponding transistors Q1 and Q2 and also respective anode terminals are commonly connected to the collector terminal of the transistor D3 as an index converting means. The logarithm(log) of resistance in the PIN diodes D1 and D2 changes in proportion to the voltage Vc of the control input. Thus, gain linearly changes in proportion to the voltage of the control input.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-29856

(43)公開日 平成5年(1993)2月5日

(51)Int.Cl.⁵

H 0 3 G 3/10

識別記号

庁内整理番号

F I

技術表示箇所

B 7239-5 J

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平3-203999

(22)出願日 平成3年(1991)7月17日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 登 充啓

大阪市阿倍野区長池町22番22号 シャープ

株式会社内

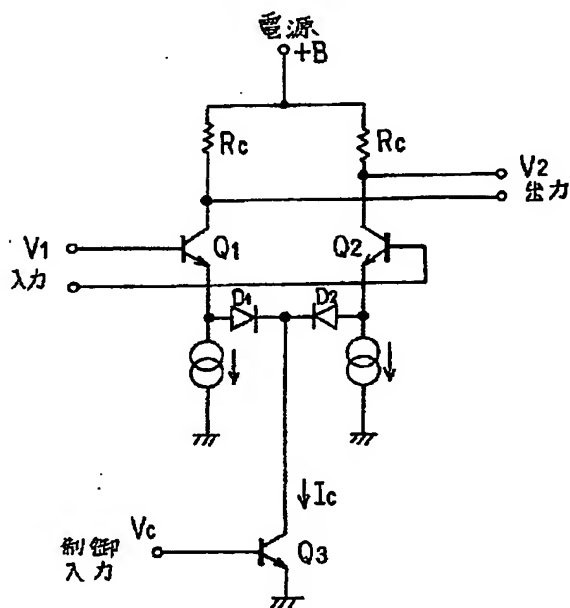
(74)代理人 弁理士 佐野 静夫

(54)【発明の名称】 可変利得増幅器

(57)【要約】

【目的】 制御入力に対するゲインの直線性を改善した可変利得増幅器を提供する。

【構成】 差動増幅器を構成する2つのトランジスタの両エミッタ端子間にPINダイオードよりなる可変抵抗手段を接続し、この可変抵抗手段に流れる電流を制御入力の指数に比例するように制御する。



【特許請求の範囲】

【請求項1】 制御入力によりゲインが可変できる差動増幅器を有するものにおいて、上記作動増幅器を構成する2つのトランジスタの両エミッタ端子間にPINダイオードよりなる可変抵抗手段を接続し、この可変抵抗手段に流れる電流を制御入力の指数に比例するように制御するようにして成る可変利得増幅器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は可変利得増幅器に関する*

$$\text{ゲイン} = V_2 / V_1 = R_c / (r_e + r_s / 2) \cdots (1)$$

$$r_e = (KT/q) / I_{E0} \cdots (2)$$

K: ボルツマン定数 T: 絶対温度 q: 電子の電荷
r_s: PINダイオードの直列抵抗

【0004】 図5は上記PINダイオードDの代表的な特性を示しており、この図から明らかなようにダイオード電流(順電流)が10μAから3mAに変化すること※

$$20 \cdot \log(V_2 / V_1) = \log R_c - \log(r_e + r_s / 2) (dB)$$

B) ... (3)

r_s > r_eの領域ではr_eは無視できるためdB目盛でのゲインは対数log r_sに対し、直線的に変化することになる。

【0006】 またPINダイオードの直列抵抗r_sは10~1KΩと100倍以上変化するためゲインの変化幅は40dBとれることになる。

【0007】

【発明が解決しようとする課題】 上記従来例の場合、制★

$$r_s = l^2 / IF \cdot \tau (\mu_e + \mu_h) \cdots (5)$$

$$\log r_s = \log \{ l^2 / \tau (\mu_e + \mu_h) \} - \log I_f \cdots (6)$$

l: I層の厚さ τ: I層におけるキャリアのライフタイム

μ_e: 電子のドリフト移動度 μ_h: 正孔のドリフト移動度

【0009】 上記式(3)及び式(6)よりゲインはlog I_fに対し直線的に変化することがわかり、また式(4)からlog V_cに対しゲインが直線的に変化することがわかる。

【0010】 図6に計算値に基づくダイオード電流I_fに対するゲインの変化を示している。このダイオード電流I_fは制御電圧V_cに比例するため制御電圧V_cに対してもゲインは同様に変化する。

【0011】 この様な特性は用途によっては問題となる。即ち、このような従来の可変利得増幅器を使ってAGCループを構成した場合、ループゲインが一定でないため動作が不安定になる。また制御入力にD/Aコンバータの出力を供給する場合、1ビット当りのゲインの変化幅が大きく変化して所定の分解能を得るためには必要以上のビット数を使用するという不都合を生じる。

【0012】

*ものである。

【0002】

【従来の技術】 図4は従来の可変利得増幅器を示している。この図において、差動増幅器を構成しているトランジスタQ₁、Q₂の両エミッタ端子間に可変抵抗手段としてのPINダイオードDが直流阻止コンデンサCを通して接続されている。

【0003】 PINダイオードDはこれに流れる電流により高周波抵抗が変化する。又、差動増幅器のゲインは差動入力電圧をV₁、差動出力電圧をV₂とすると、次式で表わされる。

10

※によって直列抵抗が1KΩから10Ωまで変化している。またr_eはエミッタ電流I_{E0}によって決まり、例えばI_{E0} = 5mAのときr_e = 5.2Ωである。

【0005】 ゲインをlog目盛(dB単位)で計算すると次式のようになる。

★御入力をV_cとするとPINダイオードDに流れる電流I_fは次式で表わされる。

$$I_f = (V_c - 0.7) / (R_{11} + R_{12}) \cdots (4)$$

従って、PINダイオードの電流I_fは制御電圧V_cに比例して変化する。

【0008】 一方、PINダイオードの直列抵抗r_sは次式で表わされる。

【課題を解決するための手段】 本発明は上記従来例の可変利得増幅器の欠点に鑑みて発明されたものであり、差動増幅器を構成する2つのトランジスタの両エミッタ端子間に可変抵抗手段(PINダイオード)を接続し、この可変抵抗手段に流れる電流を制御入力の指数に比例するように制御する可変利得増幅器を提供するものである。

【0013】

【作用】 従って、本発明によれば2つのトランジスタの両エミッタ端子間の抵抗の対数は制御入力に比例して変化することになり、これによりゲインは制御入力の電圧に比例して直線的に変化する。

【0014】

【実施例】 以下、本発明の一実施例を図1を参照して詳細に説明する。尚、この図において従来と同一部分については同一符号を付している。符号Q₁、Q₂は差動増幅器を構成するトランジスタにして、夫々ベース端子に差動入力電圧V₁を設けると共に電源+ Bとコレクタ端子間より差動出力電圧V₂を出力するようになっている。

【0015】 D₁、D₂は可変抵抗手段としてのPINダイオードであり、夫々カソード端子を対応するトランジ

スタ Q_1 、 Q_2 のエミッタ端子に接続されると共に各アノード端子を指数変換手段としてのトランジスタ Q_3 のコレクタ端子に共通して接続されている。

【0016】このトランジスタ Q_3 はエミッタ端子が接地され、ベース端子に制御入力 V_c が入力されるようになっている。

【0017】上述のような構成において、トランジスタ Q_3 のコレクタ電流 I_c は次式で表わされ、電圧 V_{BE} の指数に比例する。

$$I_c = I_s \cdot \exp(V_{BE} \cdot q / KT) \cdots (7)$$

K : ボルツマン定数 T : 絶対温度 q : 電子の電荷

I_s : 飽和電流

【0018】従って上記本発明によれば2つのトランジスタ Q_1 、 Q_2 の両エミッタ端子間の可変抵抗手段としてのPINダイオード D_1 、 D_2 の抵抗の対数 $\log(r_{PN})$ は制御入力の電圧 V_c に比例して変化することになる。また、これによりゲインは制御入力に比例して変化する。

【0019】上記図1の実施例の回路では上記式(7)*

$$I_{c3} = I_{c4} \exp\{(V_{BE3} - V_{BE4}) / (KT/q)\} \cdots (7)$$

で表わされる。

【0023】また、トランジスタ Q_4 はオペアンプ A_2 により抵抗 R_1 、 V_{E2} で決まる一定電流である。

【0024】更に制御入力 V_c によりトランジスタ

Q_3 、 Q_4 の $V_{BE3} - V_{BE4}$ が次式

$$V_{BE3} - V_{BE4} = -R_2 / R_1 (V_c - V_{E1})$$

により設定される。

【0025】従って、 $V_c = V_{E1}$ のとき、 $V_{BE3} - V_{BE4} = 0$ 、 $I_{c3} = I_{c4}$ となり、温度の影響がキャンセルされる。上記図1及び図2に示した本発明はかかる可変利得増幅器の制御入力に対するゲインの変化を図3に示すが、図6に示した従来のものに比べ、直線性が大幅に改善されたことが判る。

【0026】

【発明の効果】本発明は上述のように構成されるものであるから、制御入力に対してゲインの直線性が改善され※

*からも判るようにトランジスタ Q_3 のコレクタ電流 I_c は温度によっても変化するがこの温度による影響を軽減するのが図2に示す実施例である。

【0020】この実施例では、上記指数変換手段としてのトランジスタ Q_3 のベース端子に制御入力 V_c を

(-) 極に受ける第1のオペアンプ A_1 の出力端子が接続されると共にエミッタ端子にトランジスタ Q_3 に対応して設けられたトランジスタ Q_4 のエミッタ端子が接続されている。また、これら両エミッタ端子には第2のオペアンプ A_2 の出力端子が接続されている。

【0021】この第2のオペアンプ A_2 の(-)及び(+) 極は共に電池 V_{E2} 、 V_{E1} に接続されると共に、更に(-) 極はトランジスタ Q_4 のコレクタ端子に接続されている。また、上記第1のオペアンプ A_1 の(+) 極は電池 V_{E1} 及びトランジスタ Q_3 のベース端子に接続されている。

【0022】かかる実施例において、トランジスタ Q_3 のコレクタ電流 I_{c3} は次式

※た可変利得増幅器を提供することができる。

【図面の簡単な説明】

【図1】 本発明に係る可変利得増幅器の一実施例を示す電気回路図。

【図2】 本発明に係る可変利得増幅器の他の実施例を示す電気回路図。

【図3】 本発明に係る可変利得増幅器にて得られる制御入力とゲインの関係を示す線図。

【図4】 従来の可変利得増幅器を示す電気回路図。

【図5】 PINダイオードの特性を示す線図。

【図6】 ダイオード電流とゲインの関係を示す線図。

【符号の説明】

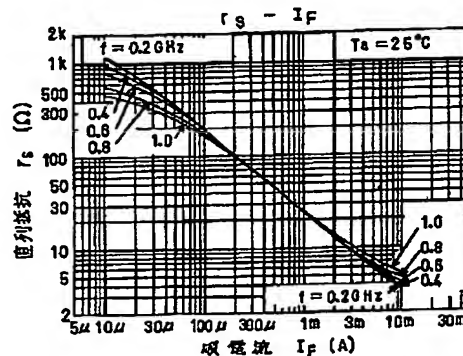
Q_1 、 Q_2 差動増幅器を構成するトランジスタ

Q_3 指数変換手段としてのトランジスタ

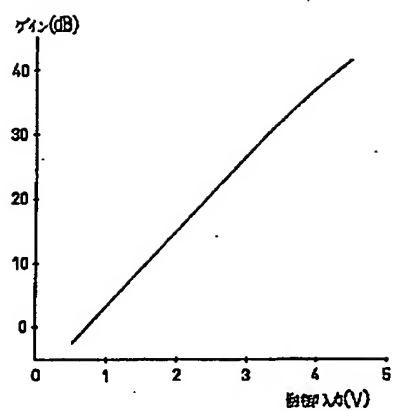
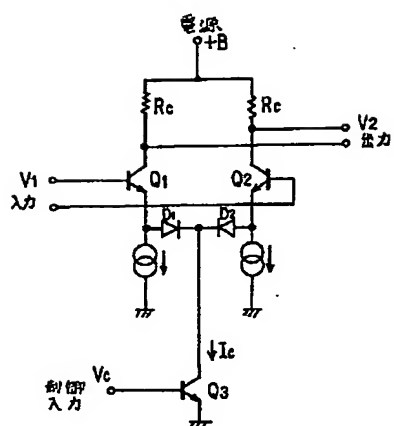
D_1 、 D_2 可変抵抗手段としてのPINダイオード

V_c 制御入力

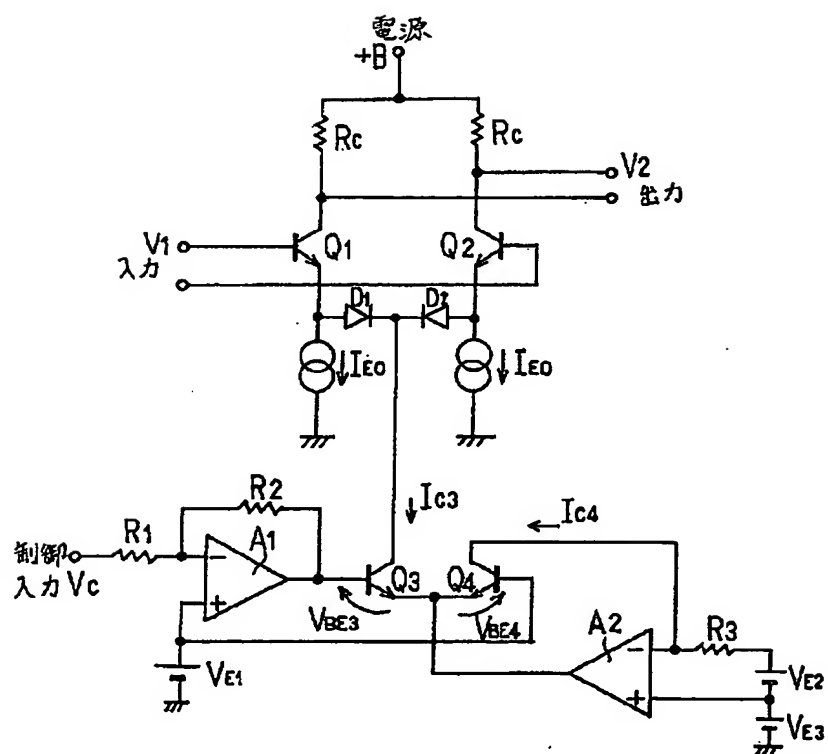
【図5】



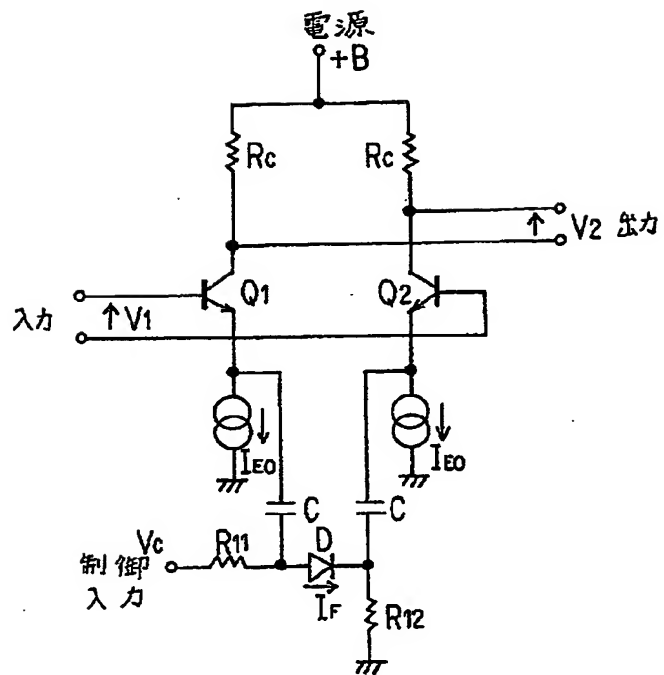
【圖3】



【図2】



【図4】



【図6】

